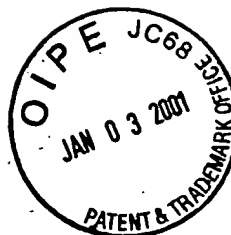


5/9/1  
DIALOG(R)File 347:JAPIO  
(c) 2000 JPO & JAPIO. All rts. reserv.

04677891     \*\*Image available\*\*  
THIN FILM-FORMING METHOD



PUB. NO.:        06-349791     JP 6349791     A]  
PUBLISHED:     December 22, 1994 (19941222)  
INVENTOR(s):   TAKEYASU NOBUYUKI  
                 KOUNO YUMIKO  
                 YAMAMOTO HIROSHI  
                 KONDO HIDEKAZU  
                 OOTA TOMOHIRO  
APPLICANT(s):   KAWASAKI STEEL CORP [000125] (A Japanese Company or  
                 Corporation), JP (Japan)  
APPL. NO.:       05-140880     [JP 93140880]  
FILED:           June 11, 1993 (19930611)  
INTL CLASS:     [5] H01L-021/302; H01L-021/285; H01L-021/31; H01L-021/3205  
JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components); 12.6 (METALS --  
                 Surface Treatment)  
JAPIO KEYWORD: R004 (PLASMA)

#### ABSTRACT

PURPOSE: To remove water and impurities adhering to the surface of a substrate by heating the substrate before cleaning the substrate through plasma etching using a chlorine system gas.

CONSTITUTION: After a resist pattern is formed by the use of an exposure apparatus, a via hole 50 is formed in a layer insulation film 40 by RIE using a fluorine system gas. Subsequently, Si substrate 10 with the via hole 50 formed therein is heated in vacuum, after the removal of a resist, by the application of the heat at about 400 deg.C for about 60 minutes. Water and impurities are removed by this heat treatment. This heat treatment may be performed in any of RIE chamber, CVD chamber or carrier chamber. When water and impurities are removed in this manner, it is possible to suppress the generation of chloride, etc., occurring at the time of performing the RIE and to stabilize the RIE to be performed thereafter.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349791

(43) 公開日 平成6年(1994)12月22日

| (51) Int.Cl. <sup>5</sup> | 識別記号 | 序内整理番号  | F I              | 技術表示箇所     |
|---------------------------|------|---------|------------------|------------|
| H 0 1 L 21/302            | N    |         |                  |            |
| 21/285                    | C    | 7376-4M |                  |            |
| 21/31                     | C    |         |                  |            |
| 21/3205                   |      | 7514-4M |                  |            |
|                           |      |         | H 0 1 L 21/ 88   | A          |
|                           |      |         | 審査請求 未請求 請求項の数 4 | OL (全 7 頁) |

(21) 出願番号 特願平5-140880

(22) 出願日 平成5年(1993)6月11日

(71) 出願人 000001258

川崎製鉄株式会社

兵庫県神戸市中央区北本町通1丁目1番28号

(72) 発明者 竹安 伸行

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(72) 発明者 河野 有美子

千葉県千葉市中央区川崎町1番地 川崎製鉄株式会社技術研究本部内

(74) 代理人 弁理士 長谷川 芳樹 (外3名)

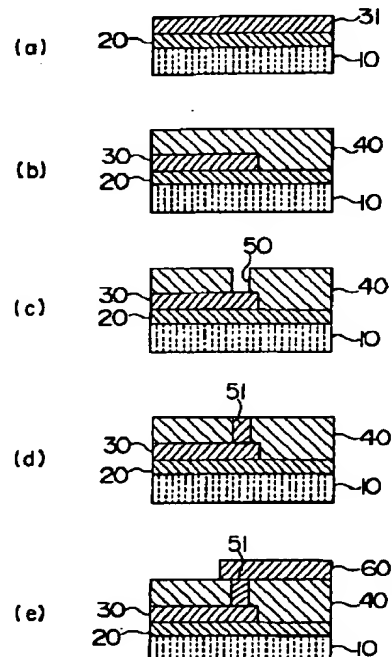
最終頁に続く

(54) 【発明の名称】 薄膜形成方法

(57) 【要約】

【目的】 本発明は、CVD法を用いた半導体装置の製造方法において、塩素系ガスを用いたプラズマエッチングによる清浄化処理をおこなった際に残留塩素が殆ど残らない製造方法を提供することを目的とする。

【構成】 基板上の金属を堆積させようとする所望の領域を塩素系ガスを用いたプラズマエッチングにより清浄化処理する清浄化処理工程と、原料ガスを供給し、所望の領域に化学気相成長法によって金属を堆積させて金属膜を形成する金属膜堆積工程とを有する薄膜形成方法において、清浄化処理工程の前に、基板を加熱処理する加熱処理工程をさらに有することを特徴とする。



## 【特許請求の範囲】

【請求項1】 基板上の金属を堆積させようとする所望の領域を塩素系ガスを用いたプラズマエッチングにより清浄化処理する清浄化処理工程と、原料ガスを供給し、前記所望の領域に化学気相成長法によって金属を堆積させて金属膜を形成する金属膜堆積工程とを有する薄膜形成方法において、  
前記清浄化処理工程の前に、前記基板を加熱処理する加熱処理工程をさらに有することを特徴とする薄膜形成方法。

【請求項2】 基板上の金属を堆積させようとする所望の領域を塩素系ガスを用いたプラズマエッチングにより清浄化処理する清浄化処理工程と、原料ガスを供給し、前記所望の領域に化学気相成長法によって金属を堆積させて金属膜を形成する金属膜堆積工程とを有する薄膜形成方法において、  
前記清浄化処理工程の前に、前記基板を不活性ガス雰囲気あるいは水素ガス雰囲気中でプラズマ放電に晒すプラズマ処理工程をさらに有することを特徴とする薄膜形成方法。

【請求項3】 基板上の金属を堆積させようとする所望の領域を塩素系ガスを用いたプラズマエッチングにより清浄化処理する清浄化処理工程と、原料ガスを供給し、前記所望の領域に化学気相成長法によって金属を堆積させて金属膜を形成する金属膜堆積工程とを有する薄膜形成方法において、  
前記清浄化処理工程の後に、水素雰囲気中で前記基板を加熱処理する加熱処理工程をさらに有することを特徴とする薄膜形成方法。

【請求項4】 基板上の金属を堆積させようとする所望の領域を塩素系ガスを用いたプラズマエッチングにより清浄化処理する清浄化処理工程と、原料ガスを供給し、前記所望の領域に化学気相成長法によって金属を堆積させて金属膜を形成する金属膜堆積工程とを有する薄膜形成方法において、  
前記清浄化処理工程の後に、前記基板を不活性ガス雰囲気あるいは水素ガス雰囲気中でプラズマ放電に晒すプラズマ処理工程をさらに有することを特徴とする薄膜形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、化学気相成長法（CVD法）を用いた配線構造の形成方法に関するものであり、特に半導体装置に用いる配線に関するものである。

## 【0002】

【従来の技術】近年、半導体装置は、LSIからVLSIへ、さらにはULSIへとその集積度を向上させており、これにともない配線の幅やビア孔等の接続孔の径における微細化が著しく進んでいる。このような半導体装置の高密度化、高集積化にともない多層配線技術及び

金属配線の微細化に関する技術が要求されている。

【0003】このような微細化に対して、従来のスパッタ法を用いた技術では対応できなくなりつつあるため、提案されているのが、Al有機化合物等の有機金属材料を用いたCVD法である。このCVD法は、微細孔に対して十分な埋め込みを行う技術として特に有効なものである。CVD法を用いてビア孔内にビアプラグを形成する工程の概略は以下の通りである。

【0004】まず、Si基板上に形成された下地絶縁膜上にAl合金等からなる下層金属配線を形成する。次いで、下地絶縁膜上に層間絶縁膜を形成した後、層間絶縁膜にビア孔を形成する。次に、CVD法によってビア孔内にのみAl等の金属を堆積して埋め込み、ビアプラグを形成する。

【0005】ここで、ビア孔内にAl等の金属を堆積するのに先立って、塩素系ガスを用いたプラズマエッチングにより、ビア孔底面に露出した下層金属配線の清浄化処理を行う。これは、ビア孔底面に露出した下層金属配線には金属の自然酸化膜等が形成されているので、この自然酸化膜を除去せずにこのままビアプラグを形成すると、下層金属配線とビアプラグとの界面の接触抵抗が増加する等の弊害が生ずるからである。

## 【0006】

【発明が解決しようとする課題】しかし、塩素系ガスを用いたプラズマエッチングにより清浄化処理を行った場合には、基板表面に塩素が残留したり、塩化Al等の化合物が発生し、これが基板表面に付着したり、絶縁膜表面に原子の一部が塩素原子と置換して塩素や塩素化合物等の不純物が混入したりすることがある。このような残留塩素や化合物が多いと、その後に行われるCVD法による金属堆積において良好な選択性が得られず、ビア孔に金属を十分に埋め込むことができない。また、これらの化合物によって下層金属配線とビアプラグとの接触抵抗の増加による配線抵抗の増大を招いたり、さらには残留塩素によるAl金属配線等の腐食が生じ、金属配線の信頼性の低下が引き起こされることになる。

【0007】そこで、本発明は、このような問題点を解決した多層配線構造の半導体装置を提供することを目的とする。

## 【0008】

【課題を解決するための手段】上記問題点を解決するために、本発明は、基板上の金属を堆積させようとする所望の領域を塩素系ガスを用いたプラズマエッチングにより清浄化処理する清浄化処理工程と、原料ガスを供給し、所望の領域に化学気相成長法によって金属を堆積させて金属膜を形成する金属膜堆積工程とを有する薄膜形成方法において、清浄化処理工程の前に、基板を加熱処理する加熱処理工程をさらに有することを特徴とする。

【0009】上記問題点を解決するために、本発明は、基板上の金属を堆積させようとする所望の領域を塩素系

3

ガスを用いたプラズマエッチングにより清浄化処理する清浄化処理工程と、原料ガスを供給し、所望の領域に化学気相成長法によって金属を堆積させて金属膜を形成する金属膜堆積工程とを有する薄膜形成方法において、清浄化処理工程の前に、基板を不活性ガス雰囲気あるいは水素ガス雰囲気中でプラズマ放電に晒すプラズマ処理工程をさらに有することを特徴とする。

【0010】上記問題点を解決するために、本発明は、基板上の金属を堆積させようとする所望の領域を塩素系ガスをを用いたプラズマエッチングにより清浄化処理する清浄化処理工程と、原料ガスを供給し、所望の領域に化学気相成長法によって金属を堆積させて金属膜を形成する金属膜堆積工程とを有する薄膜形成方法において、清浄化処理工程の後に、水素雰囲気中で基板を加熱処理する加熱処理工程をさらに有することを特徴とする。

【0011】上記問題点を解決するために、本発明は、基板上の金属を堆積させようとする所望の領域を塩素系ガスをを用いたプラズマエッチングにより清浄化処理する清浄化処理工程と、原料ガスを供給し、所望の領域に化学気相成長法によって金属を堆積させて金属膜を形成する金属膜堆積工程とを有する薄膜形成方法において、清浄化処理工程の後に、基板を不活性ガス雰囲気あるいは水素ガス雰囲気中でプラズマ放電に晒すプラズマ処理工程をさらに有することを特徴とする。

【0012】

【作用】上記、請求項1の方法によれば、塩素系ガスをを用いたプラズマエッチングにより基板を清浄化処理する前に、加熱処理を行うので、基板表面に付着した水分や不純物を除去することができる。このため、プラズマエッチング時に塩化物などの不純物がほとんど生じない。

【0013】上記、請求項2の方法によれば、塩素系ガスをを用いたプラズマエッチングにより基板を清浄化処理する前に、不活性ガスや水素ガス雰囲気中でプラズマ放電に晒すので、基板表面に付着した水分や不純物を除去することができる。このため、プラズマエッチング時に塩化物などの不純物がほとんど生じない。

【0014】上記、請求項3の方法によれば、塩素系ガスをを用いたプラズマエッチングにより基板を清浄化処理した後に、加熱処理を行うので、清浄化のためのプラズマエッチングを行った際に生じた塩化物等の不純物を昇華除去することができる。

【0015】上記、請求項4の方法によれば、塩素系ガスをを用いたプラズマエッチングにより基板を清浄化処理する前に、不活性ガスや水素ガス雰囲気中でプラズマ放電に晒すので、清浄化のためのプラズマエッチングを行った際に生じた塩化物等の不純物を除去することができる。

【0016】

【実施例】以下、添付図面を参照して本発明の実施例について説明する。

4

【0017】図1及び図2に基づいて本発明の第1実施例に係る半導体装置の製造方法について説明する。まず、図1(a)に示すように、Si基板10の表面に下地絶縁膜20を形成し、この下地絶縁膜20上にスパッタ法でAl合金を300ないし800nmの膜厚に堆積させ、Al合金膜31を形成する。次に、Al合金膜31を所定の配線パターンに加工して下層金属配線30を形成する。配線パターンの形成は、露光装置を用いてレジストパターンを形成した後、塩素系のガスをを用いたプラズマエッチングであるRIE（リアクティブ・イオン・エッチング）によってなされる。次に、図1(b)に示すように、下層金属配線30の形成された下地絶縁膜20上に膜厚1μmの層間絶縁膜40を形成する。この層間絶縁膜40は、プラズマCVD法によってSiO<sub>2</sub>を堆積させてSiO<sub>2</sub>膜を形成し、SOG（Spin on Glass）を塗布してSOG膜を形成し、必要な温度で加熱処理を行うことによって形成される。その後、再びプラズマCVD法によってSiO<sub>2</sub>を堆積させてSiO<sub>2</sub>膜を形成する。

【0018】次に、層間絶縁膜40の上にフォトリソをセットし、露光装置を用いてレジストパターンを形成した後、フッ素系のガスをを用いたRIEによって図1(c)に示すように、層間絶縁膜40にビア孔50を形成する。次に、レジスト除去後、ビア孔50の形成されたSi基板10を、真空中で400℃の熱を60分間加えて加熱する。この熱処理によって水分及び不純物が除去される。この熱処理はRIE室、CVD室又は搬送室のいずれで行ってもよい。このように水分や不純物を除去しておく、RIEを行った際に生じる塩化物等の発生を抑制することができ、この後に行われるRIEを安定化して行うことができる。なお、本実施例においてはこの熱処理を真空中で行っているが、真空中で行う代わりに水素ガス雰囲気中、窒素ガス雰囲気中、アルゴンガス等の不活性ガス雰囲気中に行ってもよい。また、このとき熱処理の代わりにAr等の不活性ガス雰囲気中又は水素ガス雰囲気中で行うプラズマ放電に晒しても同様の効果が得られる。

【0019】次に、このSi基板10を大気に晒さないようにRIE室に真空搬送する。このRIE室で塩素系ガスをを用いたRIEによりビア孔50底部に露出した下層金属配線30（Al合金膜）の清浄化処理を行う。このとき塩素系ガスとしては、BCl<sub>3</sub>とArとの混合ガスをを用いる。また、RIEを行うときの条件は、BCl<sub>3</sub>とArとの分圧比は1対1の割合であり、気圧は全圧100mTorr、プラズマ電力は0.05W/cm<sup>2</sup>程度、エッチングに要する時間は10分間である。なお、ここでBCl<sub>3</sub>の分圧は70mTorr以上で、かつ、Arの分圧は100mTorr以下となる範囲が望ましい。このような条件下でRIEを行うことが、その後に行うCVD法による選択堆積を可能にするために重

要である。この清浄化処理を行うのは、ビア孔50底部に露出した下層金属配線30の表面には、ビア孔を穿設する際に行うフッ素系のR I Eを行った際及びR I Eの後に大気に曝した際に堆積物やアルミナ膜等が付着し、これらの堆積物やアルミナ膜はC V D法におけるA I堆積を阻害するため除去する必要があるからである。

【0020】次に、このように処理したS i基板を真空中で搬送しC V D室に搬入した。なお、S i基板を搬送する際の真空状態は $5 \times 10^{-7}$  T o r r以下の気圧であることが望ましい。そして、このC V D室で、A I原料であるDMAH (A l H (C H<sub>3</sub>)<sub>2</sub> ; D i m e t h y l - a l m i n i u m - h y d r i d e) のガスと、水素とを原料とする熱C V D法でビア孔50内にのみ底面から選択的にA Iを堆積させることによって図1

(d) に示すように、ビア孔50内にビアプラグ51を形成する。このときのC V Dを行う条件は、水素ガス流量500 s c c m、DMAHの分圧は0.15 T o r r、パブリック温度50℃で行う。なお、この成膜を行うC V D反応容器内の全圧は2.0 T o r r、基板温度210℃である。

【0021】このようにしてすべてのビア孔50にA Iが完全に埋まるまでA I薄膜の堆積を行った。そして、この後絶縁膜の表面を検査したところA Iの堆積は全く見られなかった。

【0022】次に、ビアプラグ51上面及び層間絶縁膜40上にスパッタ法でA Iを400ないし1000 n mの膜厚に堆積させA I合金膜を形成し、上述した下層金属配線30を形成するとときと同様の方法を用いて、図1 (e) に示すように、上層金属配線60を形成して、多層配線構造の半導体装置を製造する。

【0023】本発明のビア構造を使用した半導体装置を完成するまでには、ビアプラグ51形成後に表面保護膜の形成や、プロセスダメージを除去するための熱処理等が行われる。

【0024】さらに、S i基板10内および表面には拡散層、ゲート電極等の半導体装置として必要な構造が形成されている。下地絶縁膜20の必要な位置にはコンタクト孔が存在し、下層金属配線30と、拡散層もしくはゲート電極あるいはその他の構造とを接続するコンタクト構造が形成されている。金属配線等と絶縁膜との間には、必要に応じてW等を用いた反射防止膜やT i N等を用いたバリアメタルが形成されている。また、上層金属配線60上にさらに新たな層間絶縁膜40および金属配線をそれぞれ1層もしくはそれ以上積層することもできる。次に、本発明の第2実施例に係る半導体装置の製造方法について説明する。まず、S i基板の表面に下地絶縁膜を形成し、この下地絶縁膜上にスパッタ法でA I合金を300ないし800 n mの膜厚に堆積させ、A I合金膜を形成する。次に、A I合金膜を所定の配線パターンに加工して下層金属配線を形成する。配線パターンの

形成は、露光装置を用いてレジストパターンを形成した後、塩素系のガスを用いたR I Eによってなされる。次に、下層金属配線の形成された下地絶縁膜上に膜厚1 μ mの層間絶縁膜を形成する。この層間絶縁膜は、上記第1実施例と同様にして形成される。次に、層間絶縁膜の上にフォトリソマスクをセットし、露光装置を用いてレジストパターンを形成した後、フッ素系のガスを用いたR I Eによって、層間絶縁膜にビア孔を形成する。次に、レジスト除去後、このS i基板を大気に晒さないようにR I E室に真空搬送する。このR I E室で塩素系ガスをを用いたR I Eによりビア孔底部に露出した下層金属配線(A l合金膜)の清浄化処理を行う。このとき塩素系ガスとしては、B C l<sub>3</sub>とA rとの混合ガスを用いる。また、R I Eを行うときの条件は、上記第1実施例と同様である。この清浄化処理を行う理由についても、上記第1実施例と同様である。

【0025】次に、水素ガス雰囲気( $5 \times 10^{-7}$  T o r r)中で400℃の熱を30分間加えて加熱する。この熱処理によってR I Eを行った際に生じた塩化物等の不純物が昇華除去される。この熱処理はR I E室、C V D室又は搬送室のいずれで行ってもよい。但し、熱処理によって不純物が昇華するため、これらの部屋とは別に熱処理室を設けることが望ましい。このように熱処理室を設ければ昇華された残留塩素などの汚染物により各部屋が汚染されることがない。また、このとき熱処理を行う温度は300℃以上であることが望ましい。なお、このとき熱処理の代わりにA r等の不活性ガス又は水素ガス雰囲気中で行うプラズマ放電に晒しても同様の効果が得られる。

【0026】次に、このように処理したS i基板を真空中で搬送しC V D室に搬入した。なお、S i基板を搬送する際の真空状態は $5 \times 10^{-7}$  T o r r以下の気圧であることが望ましい。そして、このC V D室で、A I原料であるDMAHのガスと、水素とを原料とする熱C V D法でビア孔内にのみ底面から選択的にA Iを堆積させることによって、ビア孔内にビアプラグを形成する。このときのC V Dを行う条件は、上記第1実施例と同様である。

【0027】このようにしてすべてのビア孔にA Iが完全に埋まるまでA I薄膜の堆積を行った。そして、この後絶縁膜の表面を検査したところA Iの堆積は全く見られなかった。

【0028】次に、ビアプラグ上面及び層間絶縁膜上にスパッタ法でA Iを400ないし1000 n mの膜厚に堆積させA I合金膜を形成し、上述した下層金属配線を形成するとときと同様の方法を用いて上層金属配線を形成して、多層配線構造の半導体装置を製造する。

【0029】なお、S i基板内及び表面に半導体装置として必要な構造が形成されている点等については上記の第1実施例の場合と同じである。

【0030】次に、本発明の第3実施例に係る半導体装置の製造方法について説明する。まず、Si基板の表面に下地絶縁膜を形成し、この下地絶縁膜上にスパッタ法でAl合金を300ないし800nmの膜厚に堆積させ、Al合金膜を形成する。次に、Al合金膜を所定の配線パターンに加工して下層金属配線を形成する。配線パターンの形成は、露光装置を用いてレジストパターンを形成した後、塩素系のガスを用いたRIEによってなされる。次に、下層金属配線の形成された下地絶縁膜上に膜厚1μmの層間絶縁膜を形成するこの層間絶縁膜は、上記第1実施例と同様にして形成される。次に、層間絶縁膜の上にフォトリソマスクをセットし、露光装置を用いてレジストパターンを形成した後、フッ素系のガスを用いたRIEによって層間絶縁膜にビア孔を形成する。次に、レジスト除去後、ビア孔の形成されたSi基板を、真空中で400℃の熱を60分間加えて加熱する。この熱処理によって水分及び不純物が除去される。このように水分や不純物を除去しておく、RIEを行った際に生じる塩化物等の不純物の発生も抑制することができ、この後に行われるRIEを安定化して行うことができる。なお、本実施例においてはこの熱処理を真空中で行っているが、真空中で行う代わりに水素ガス雰囲気、窒素ガス雰囲気、アルゴンガス等の不活性ガス雰囲気で行ってもよい。また、このとき熱処理の代わりにAr等の不活性ガス又は水素ガス雰囲気で行うプラズマ放電に晒しても同様の効果が得られる。

【0031】次に、このSi基板を大気に晒さないようにRIE室に真空搬送する。このRIE室で塩素系ガスをを用いたRIEによりビア孔底部に露出した下層金属配線(Al合金膜)の清浄化処理を行う。このとき塩素系ガスとしては、BCl<sub>3</sub>とArとの混合ガスを用いる。また、RIEを行うときの条件は、上記第1実施例と同様である。この清浄化処理を行う理由についても、上記第1実施例と同様である。

【0032】次に、大気に晒すことなく、水素ガス雰囲気(5×10<sup>-3</sup>Torr)中で400℃の熱を60分間加えて加熱する。この熱処理によってRIEを行った際に生じた塩化物等の不純物が昇華除去される。このとき熱処理を行う温度は300℃以上であることが望ましい。なお、このとき熱処理の代わりにAr等の不活性ガス又は水素ガス雰囲気で行うプラズマ放電に晒しても同様の効果が得られる。

【0033】次に、このように処理したSi基板を真空中で搬送しCVD室に搬入した。なお、Si基板を搬送する際の真空状態は5×10<sup>-7</sup>Torr以下の気圧であることが望ましい。そして、このCVD室で、Al原料であるDMAHのガスと、水素とを原料とする熱CVD法でビア孔内のみ底面から選択的にAlを堆積させることによって、ビア孔内にビアプラグを形成する。このときのCVDを行う条件は、上記第1実施例と

同様である。

【0034】このようにしてすべてのビア孔にAlが完全に埋まるまでAl薄膜の堆積を行った。そして、この後絶縁膜の表面を検査したところAlの堆積は全く見られなかった。

【0035】次に、ビアプラグ上面及び層間絶縁膜上にスパッタ法でAlを400ないし1000nmの膜厚に堆積させAl合金膜を形成し、上述した下層金属配線を形成するときと同様の方法を用いて、上層金属配線を形成して、多層配線構造の半導体装置を製造する。

【0036】なお、Si基板内及び表面上に半導体装置として必要な構造が形成されている点等については上記の第1実施例の場合と同じである。

【0037】次に、本発明の第4実施例に係る半導体装置の製造方法について説明する。まず、Si基板の表面に下地絶縁膜を形成し、この下地絶縁膜上にスパッタ法でAl合金を300ないし800nmの膜厚に堆積させ、Al合金膜を形成する。次に、Al合金膜を所定の配線パターンに加工して下層金属配線を形成する。配線パターンの形成は、露光装置を用いてレジストパターンを形成した後、塩素系のガスを用いたRIEによってなされる。次に、下層金属配線の形成された下地絶縁膜上に膜厚1μmの層間絶縁膜を形成するこの層間絶縁膜は、上記第1実施例と同様にして形成される。次に、層間絶縁膜の上にフォトリソマスクをセットし、露光装置を用いてレジストパターンを形成した後、フッ素系のガスを用いたRIEによって層間絶縁膜にビア孔を形成する。次に、レジスト除去後、ビア孔の形成されたSi基板を、アルゴンガス雰囲気中でプラズマ放電に晒す。なお、このプラズマ処理はアルゴンガスの代わりに他の不活性ガスや、水素ガス雰囲気で行ってもよい。

【0038】次に、プラズマエッチングされたSi基板を、真空中で400℃の熱を60分間加えて加熱する。なお、本実施例においてはこの熱処理を真空中で行っているが、真空中で行う代わりに水素ガス雰囲気、窒素ガス等の不活性ガス雰囲気で行ってもよい。このプラズマ処理及び熱処理によって水分及び不純物が除去される。このように水分や不純物を除去しておく、RIEを行った際に生じる塩化物等の不純物の発生も抑制することができ、この後に行われるRIEが安定化して行うことができる。

【0039】次に、このSi基板を大気に晒さないようにRIE室に真空搬送する。このRIE室で塩素系ガスをを用いたRIEによりビア孔底部に露出した下層金属配線(Al合金膜)の清浄化処理を行う。このとき塩素系ガスとしては、BCl<sub>3</sub>とArとの混合ガスを用いる。また、RIEを行うときの条件は、上記第1実施例と同様である。この清浄化処理を行う理由についても、上記第1実施例と同様である。

【0040】次に、大気に晒すことなく、水素ガス雰囲気

気中でプラズマ放電に晒す。このプラズマ処理で、水素ガスの代わりにアルゴン等の不活性ガスを用いてよい。

【0041】次に、水素ガス雰囲気 ( $5 \times 10^{-7}$  Torr) 中で  $400^\circ\text{C}$  の熱を60分間加えて加熱する。このとき熱処理を行う温度は  $300^\circ\text{C}$  以上であることが望ましい。なお、水素ガスを用いてプラズマ処理を行なう際、同時に  $400^\circ\text{C}$  の加熱を行なってもよい。

【0042】このプラズマ処理及び熱処理によってビア孔を穿設した際の塩素系 RIE によって生じた塩化物等の不純物が昇華除去される。

【0043】次に、このように処理した Si 基板を真空中で搬送し CVD 室に搬入した。なお、Si 基板を搬送する際の真空状態は  $5 \times 10^{-7}$  Torr 以下の気圧であることが望ましい。そして、この CVD 室で、Al 原料である DMAH のガスと、水素とを原料とする熱 CVD 法でビア孔内のみ底面から選択的に Al を堆積させることによって、ビア孔内にビアプラグを形成する。このときの CVD を行う条件は、上記第1実施例と同様である。

【0044】このようにしてすべてのビア孔に Al が完全に埋まるまで Al 薄膜の堆積を行った。そして、この後絶縁膜の表面を検査したところ Al の堆積は全く見られなかった。

【0045】次に、ビアプラグ上面及び層間絶縁膜上にスパッタ法で Al を  $400$  ないし  $1000 \text{ nm}$  の膜厚に堆積させ Al 合金膜を形成し、上述した下層金属配線を形成するときと同様の方法を用いて、上層金属配線を形成して、多層配線構造の半導体装置を製造する。

【0046】なお、Si 基板内及び表面に半導体装置として必要な構造が形成されている点等については上記の第1実施例の場合と同じである。

【0047】以上、本発明の上記の第1実施例から第4実施例までの方法によってえられた半導体装置においては、いずれの場合も  $0.5 \mu\text{m}$  径のビア孔のビア抵

抗は  $0.3 \Omega$  以下という非常に低い値が得られ、このことから非常に信頼性の高い配線が形成されたことが分かる。

【0048】また、本実施例で示した Al 配線構造のほかに、例えば積層配線や TiN などの反射防止膜が Al 配線上に形成されている場合にも、本発明が有効に適用できることはいうまでもない。

【0049】

【発明の効果】以上、詳細に説明したように、本発明によれば、塩素系ガスを用いたプラズマエッチングにより基板を清浄化処理する前に、加熱処理又はプラズマ処理を行うので、基板表面に付着した水分や不純物を除去することができる。このため、プラズマエッチング時に塩化物等の不純物がほとんど生じないので、清浄化のためのプラズマエッチングを安定して行うことができる。

【0050】また、本発明によれば、塩素系ガスを用いたプラズマエッチングにより基板を清浄化処理した後、加熱処理又はプラズマ処理を行うので、清浄化のためのプラズマエッチングを行った際に生じた塩化物等の不純物を昇華除去することができる。

【0051】従って、残留塩素や不純物が殆どないため、その後に行われる CVD 法による金属堆積において良好な選択性がえられ、また、ビア孔に金属を十分に埋め込むこともできる。

【0052】また、残留塩素が殆どないので、配線抵抗は増加せず、また、残留塩素による配線腐食等も生じないため、金属配線の信頼性も向上する。

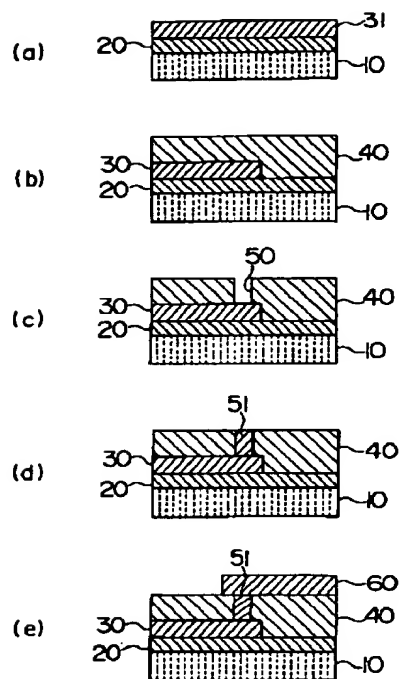
【図面の簡単な説明】

【図1】本発明の第1実施例に係る半導体装置の各製造工程を示した説明図である。

【符号の説明】

10…Si 基板、20…下地絶縁膜、30…下層金属配線、40…層間絶縁膜、50…ビア孔、51…ビアプラグ、60…上層金属配線

【図1】




---

フロントページの続き

(72)発明者 山本 浩  
千葉県千葉市中央区川崎町1番地 川崎製  
鉄株式会社技術研究本部内

(72)発明者 近藤 英一  
千葉県千葉市中央区川崎町1番地 川崎製  
鉄株式会社技術研究本部内  
(72)発明者 太田 与洋  
千葉県千葉市中央区川崎町1番地 川崎製  
鉄株式会社技術研究本部内